

引用格式:王郑毅,刘文波,代少飞,等. 同步寄存器链中误码率的亚稳态分析[J]. 微电子学与计算机, 2021, 38(5): 14-18.
[WANG Z Y, LIU W B, DAI S F, et al. Metastability analysis of error rate in synchronization chains[J]. Microelectronics & Computer, 2021, 38(5): 14-18.]

同步寄存器链中误码率的亚稳态分析

王郑毅^{1,2}, 刘文波^{1,2}, 代少飞^{1,2}, 李开宇^{1,2}, 朱鹏飞^{1,2}

(1 南京航空航天大学 自动化学院, 江苏 南京 210000;

2 高速载运设施的无损检测监控技术工信部重点实验室, 江苏 南京 211006)

摘 要: 数字电路的亚稳态现象会导致数据发生误码, 同步寄存器链常常被用于降低亚稳态发生的概率. 为了量化由亚稳态导致的数据误码发生概率, 本文从亚稳态产生的本质出发分析了亚稳态在同步寄存器链中传递的原因; 推导了考虑线延迟与逻辑门延迟影响的精确亚稳态稳定时间公式; 设计了一种新亚稳态测试电路计算三种亚稳态输出结果发生的概率. 在平均故障时间参数的基础上, 计算了因为亚稳态而造成的同步寄存器链误码率和整个系统的误码率, 给出了降低系统误码率的措施.

关键词: 亚稳态; 稳定时间; 亚稳态输出状态概率测试电路; 同步寄存器链; 误码率

中图分类号: TP402

文献标识码: A

文章编号: 1000-7180(2021)05-0014-05

Metastability analysis of error rate in synchronization chains

WANG Zheng-yi^{1,2}, LIU Wen-bo^{1,2}, DAI Shao-fei^{1,2}, LI Kai-yu^{1,2}, ZHU Peng-fei^{1,2}

(1 College of Automation, Nanjing University of Aeronautics and Astronautics, Nanjing 210000, China;

2 Key Laboratory of Ministry of Industry and Information Technology of Non-destructive Testing and Monitoring Technology of High-speed Carrying Facilities, Nanjing 211006, China)

Abstract: Metastability of digital circuits can lead to data error. Synchronous register chains are often used to reduce the probability of metastability. In order to quantify the probability of data error caused by metastable state, this paper analyzes the reason of metastable transfer in synchronous register chain according to the essence of metastable state. The precise formula of metastable stability time considering the effect of linear delay and logic gate delay is derived. A new metastable test circuit is designed to calculate the probability of occurrence of three metastable output results. Based on the mean time to failure (MTBF), the bit error rate (BER) of synchronization chain and the whole system due to metastability are calculated, and the measures to reduce the BER of the system are given.

Key words: metastability; the settling time; test circuit for metastable output state of probability; synchronization chains; error rate

1 引言

在传统数字电路设计中, 涉及的往往是小规模的、低时钟速率的电路, 此时设计人员并不需要特别关注时序规则便可完成整体电路设计. 随着制作工艺的进步和逻辑复杂性的提高, 数字电路正在向大

规模的、高时钟速率的方向发展. 此时设计人员必须考虑时序规则的问题, 违反时序规则的设计会导致工程失效甚至更严重的结果^[1].

在高速数字电路、异步信号检测、跨时钟域传输等数字电路中, 电路除了会产生状态 0 和状态 1 之外, 还会产生亚稳态. 亚稳态的产生可能会导致系统

收稿日期: 2020-07-13; 修回日期: 2020-09-11

基金项目: 国家重点研发计划(2018YFB2003304); 国家自然科学基金(61871218)

发生误码,影响系统正常工作^[2-3]。

在工程实践中常常使用同步寄存器链来降低亚稳态发生的概率^[4]。本文改进了文献[5]中亚稳态稳定时间(T_{met} , the settling time)的计算公式;在文献[5]中的传统亚稳态测试电路的基础上,设计了新的测试电路来估算亚稳态的三种结果发生的概率。在平均故障时间(MTBF, mean time between failures)参数的基础上,提出了 Δ 参数和 Δ_{design} 来计算同步寄存器链和整个系统因为发生亚稳态而导致的误码率。最后提出了一些相关措施来降低系统的误码率。

2 亚稳态

2.1 亚稳态的发生

产生亚稳态的根本原因是输入信号违反了触发器的建立时间和保持时间,如图1所示——输入的DATA数据在建立时间和保持时间之间发生变化。

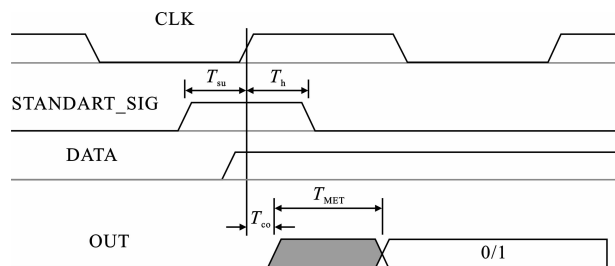


图1 亚稳态示意图

图中建立时间 T_{su} 代表输入数据在时钟上升沿之前需要稳定的时间;保持时间 T_{h} 代表输入数据在时钟上升沿之后需要稳定的时间;DATA代表输入数据;OUT代表触发器的输出;触发器输出延迟 T_{co} 表示触发器的输出相对于输入的延迟响应时间;亚稳态稳定时间 T_{met} 表示发生亚稳态之后输出的数据稳定到状态0或者状态1所需要的时间。

亚稳态稳定时间内触发器的输出电压会在高低电平之间震荡(OUT信号的阴影部分),震荡时间的长短与触发器的特性有关^[4-5]。亚稳态的输出震荡会在 T_{met} 时间之后达到稳定的状态(OUT信号阴影部分之后的白色区域),但是稳定后的输出状态仍然是未知的——可能与输入一致,也可能不一致。当输入输出不一致时便产生了误码。

2.2 亚稳态的在同步寄存器链中的传递

稳定时间未知可能会造成亚稳态在电路中级级传递,如图2所示。

当DATA信号违反了第一个时钟上升沿(first rising edge)的时序规则时便会产生第一次亚稳态。

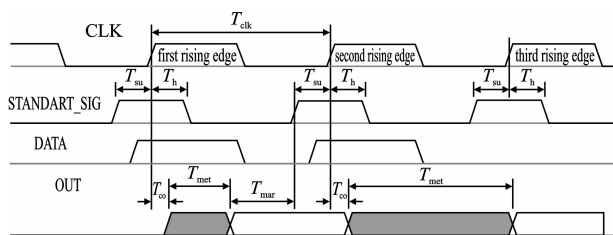


图2 亚稳态的传递

如果该次亚稳态的稳定时间在第二次上升沿(second rising edge)前 T_{su} 稳定,那第二个时钟沿便可以采集到稳定的数据,亚稳态便不会传播到下一级电路;若亚稳态的稳定时间过长,违反时序规则的话,该次亚稳态便会传播到下一级电路,且有可能会在同步寄存器链中级级传播。

根据上述分析可得,当满足下列不等式的时候,亚稳态便不会传播到下一级电路,这里暂时不考虑时钟抖动和时钟偏斜。

$$T_{\text{co}} + T_{\text{met}} + T_{\text{su}} \leq T_{\text{clk}} \quad (1)$$

式中, T_{clk} 为系统时钟周期。

定义时间裕 $T_{\text{mar}} = T_{\text{clk}} - T_{\text{co}} - T_{\text{met}} - T_{\text{su}}$,即当 $T_{\text{mar}} \geq 0$ 时,亚稳态不会在同步寄存器中发生传递。

3 亚稳态测试电路

3.1 亚稳态稳定时间的精确计算

在实际电路设计中,参数 T_{co} 、 T_{su} 和 T_{clk} 可以通过触发器手册和电路的具体设计要求来确定,此时根据上述分析可知稳定时间的大小便决定了亚稳态是否会在同步寄存器链中传播。传统的估算稳定时间的测试电路如图3所示^[5]。

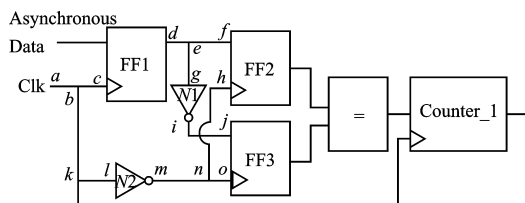


图3 传统亚稳态测试电路

由文献[5]中可知,上述电路可以通过调整时钟的占空比来计算稳定时间,亚稳态稳定时间的计算公式如下:

$$\begin{aligned} T_{\text{met}} &= T_{\text{clk}_h} - T_{\text{acnt}} \\ &= T_{\text{clk}_h} - (T_{\text{co}} + T_{\text{delay_def}} + T_{\text{su}}) \end{aligned} \quad (2)$$

式中, T_{clk_h} 是Clk高电平的持续时间; T_{acnt} 是 T_{co} 、 $T_{\text{delay_def}}$ (路径def延迟)和 T_{su} 的三者之和。

分析文献[5]中的亚稳态稳定时间的计算思路

可以发现:该计算公式并没有考虑时钟路径上的延迟和反相器的输入输出延时对于电路的影响,所以上述计算公式是不精确的.现考虑上述两种延迟并对 FF1 和 FF2 进行时序分析^[6],时序波形如图 4 所示.

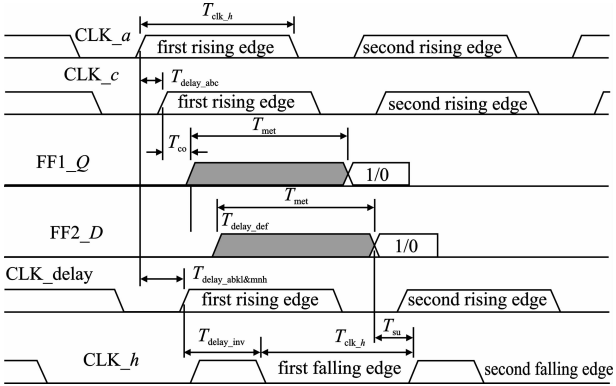


图 4 稳定时间波形分析

图中 CLK_a 是原始时钟信号的输入端;是 CLK_a 经过路径 *abc* 到达 FF1 时钟端的信号,时钟信号经过路径 *abc* 产生的延迟为 $T_{\text{delay_abc}}$;FF1_Q 和 FF2_Q 分别是触发器 FF1 和 FF2 的数据输出端; $T_{\text{delay_def}}$ 是路径 *def* 产生的延迟;CLK_{delay} 代表原始时钟只经过路径 *abkl* 和路径 *mnh*,不经过反相器的时钟波形; $T_{\text{delay_abkl\&mnh}}$ 是时钟经过路径 *abkl* 和路径 *mnh* 造成的延迟总和; $T_{\text{delay_inv}}$ 是反相器的输入输出延迟;CLK_h 代表原始时钟经过路径 *abkl* 和路径 *mnh* 和反相器之后到达 *h* 点的波形;第一个时钟上升沿经过反相器之后变成第一个下降沿.由上图时序波形可推导出 T_{met}^N 的精确公式:

$$T_{\text{met}}^N = T_{\text{clk_h}} + T_{\text{delay_inv}} + T_{\text{delay_abkl\&mnh}} - (T_{\text{su}} + T_{\text{delay_abc}} + T_{\text{delay_def}} + T_{\text{co}}) \quad (3)$$

3.2 亚稳态输出状态概率测试电路

发生亚稳态的直接表象有两种:第一种是 Output glitches(输出故障),输出结果是确定的——输出与输入一致;第二种是 Output temporarily(输出暂留),输出结果未知——输出可能与输入一致,可能不一致^[4-5],如图 5 所示.

定义亚稳态发生输出故障的概率为 q ;亚稳态发生输出暂留的概率为 p ;因为输出暂留导致输入输出一致的概率为 p_1 ;因为输出暂留导致输出与输入不一致的概率为 p_2 .

定义因为发生输出故障而导致输入输出一致的事件为事件 A;因为发生输出暂留而导致输入输出一致的事件为事件 B;因为发生输出暂留而导致输

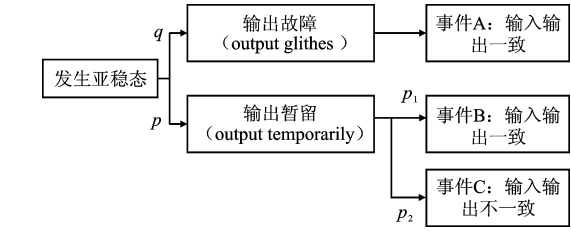


图 5 亚稳态的三种输出结果

入输出不一致的事件为事件 C.

基于传统亚稳态测试电路的思想,设计新的电路来估算图中各个事件发生的概率.亚稳态输出状态概率测试电路图如图 6 所示.

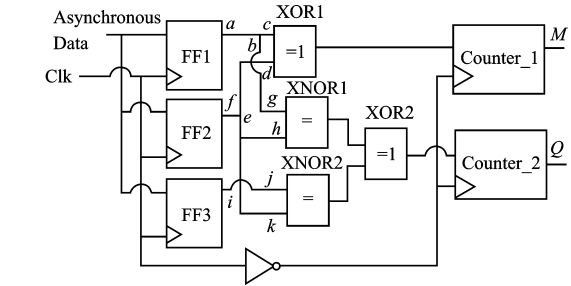


图 6 亚稳态输出状态概率测试电路

实验过程如下:在异步数据端输入 N 次时序违规的信号进入三个触发器,便产生 N 次亚稳态事件,即路径 *abc*、路径 *abg*、路径 *fed*、路径 *feh*,路径 *fek* 和路径 *ij* 会产生事件 A 或者事件 B 或者事件 C 中的一个事件,且因为路径 *abc* 和路径 *abg*、路径 *fed* 和路径 *feh* 和路径 *fek* 分别是 FF1 和 FF2 的输出,所以其会发生的事件是相同的.记录计数器 1 在 N 次实验中所示的次数为 M ;计数器 2 在 N 次实验中所示的次数为 Q .

根据电路图分析计数器 1 会产生跳变的原因,分析结果如表 1 所示.

表 1 计数器 1 跳变分析表

	路径 <i>abc</i>	路径 <i>fed</i>	XOR1
情况 1	事件 A	事件 A	0
情况 2	事件 A	事件 B	0
情况 3	事件 A	事件 C	1
情况 4	事件 B	事件 A	0
情况 5	事件 B	事件 B	0
情况 6	事件 B	事件 C	1
情况 7	事件 C	事件 A	1
情况 8	事件 C	事件 B	1
情况 9	事件 C	事件 C	0

情况 3 发生的概率是: pqp_2 ;情况 6 发生的概率是: $p^2 p_1 p_2$;情况 7 发生的概率是: pqp_2 ;情况 8 发生

的概率是: $p^2 p_1 p_2$. 根据上述实验过程可得如下等式:

$$2pq p_2 + 2p^2 p_1 p_2 = \frac{M}{N} \quad (4)$$

同理分析计数器 2 产生跳变的原因可得公式:

又因为

$$2q^2 p p_2 + q p^2 p_1 p_2 + 2q p^2 p_2^2 + 3q p^2 p_1 p_2 + 2p^3 p_1^2 p_2 + 2p^3 p_1 p_2^2 = \frac{Q}{N} \quad (5)$$

$$p_1 + p_2 = 1, (0 \leq p_1 \leq 1) \quad (6)$$

$$p + q = 1, (0 \leq p \leq 1)$$

联立式(4)(5)(6)可求得 q, p, p_1 和 p_2 .

4 计算同步寄存器链的误码率

在传统的工程实践中定义平均故障间隔时间参数(MTBF, Mean Time Between Failure)来对亚稳态的性能进行评估^[7-9]. 它是指连续发生两次亚稳态之间的平均时间. 一个平均故障间隔时间较高的系统表示该系统的稳定性更高, 即连续两次发生亚稳态的时间间隔越长. 不同的系统所需达到的值也不同. 比如一个军用系统会比民用系统的平均故障间隔时间要大. 图 7 所示电路是工程中处理单比特跨时钟域传输所用的两级同步寄存器^[10-11].

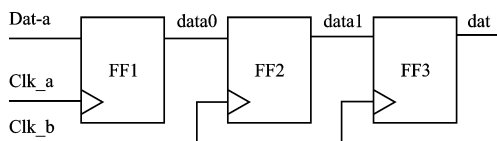


图 7 两级同步寄存器链

图中 Clk_a 和 Clk_b 是两个异步时钟, Dat_a 是 Clk_a 时钟域的信号; FF2 与 FF3 组成两级同步寄存器链。

上述电路中一级同步寄存器的 $MTBF_1$ (即 data1 线上发生亚稳态的平均时间) 的数值为^[12]:

$$MTBF_1 = \frac{e^{\frac{T_{met}}{C_2}}}{C_1 \cdot f_{clk} \cdot f_{data}} \quad (7)$$

式中, C_1 与 C_2 取决于器件工艺和操作环境; f_{clk} 代表系统时钟频率; f_{data} 代表数据传输频率. 根据 MTBF 的定义可得, $\frac{1}{MTBF}$ 代表同步寄存器链发生亚稳态的频率.

由上文可知只有事件 C 会造成数据误码. 定义参数 Λ 是系统由于亚稳态而产生误码的频率, 则 Λ^1 的计算表达式为:

$$\Lambda^1 = p \cdot p_1 \cdot \frac{1}{MTBF_1} = \frac{C_1 \cdot f_{clk} \cdot f_{data} \cdot p p_1}{e^{\frac{T_{met}}{C_2}}} \quad (8)$$

由文献[13]可得电路中两级同步寄存器链的 $MTBF_2$: (data2 上发生亚稳态的平均时间) 和 Λ^2 :

$$MTBF_2 = \frac{e^{\frac{T_{met}}{C_2}}}{C_1 \cdot f_{clk} \cdot f_{data}} \cdot \frac{e^{\frac{T_{met}}{C_2}}}{C_1 \cdot f_{clk}} \quad (9)$$

$$\Lambda^2 = p \cdot p_1 \cdot \frac{C_1 \cdot f_{clk} \cdot f_{data}}{e^{\frac{T_{met}}{C_2}}} \cdot \frac{C_1 \cdot f_{clk}}{e^{\frac{T_{met}}{C_2}}} \quad (10)$$

一个系统中通常会具有多个同步寄存器链, 每个同步寄存器链由一个或者多个寄存器组成. 整个系统的因为亚稳态而产生的误码率 Λ_{design} 可以由系统中各个同步寄存器链的 Λ 计算求得:

$$\Lambda_{design} = \sum_{i=1}^{SN} \Lambda_i^j \quad (11)$$

式中 SN 代表系统中同步寄存器链的个数; i 代表系统中的第 i 个同步寄存器链, j 代表第 i 个同步寄存器链由 j 个触发器组成.

如果想要改善一个系统的 Λ_{design} 那么需要改善系统中最差的同步寄存器链的 Λ , 可以通过降低系统时钟的频率和使用更短的建立时间和保持时间的触发器来改善系统的误码率.

5 结束语

本文对同步寄存器链中存在的数据误码现象进行亚稳态分析^[14], 根据传统亚稳态测试电路, 提出了亚稳态稳定时间的精确计算公式并设计了亚稳态输出状态概率测试电路来计算亚稳态的三种输出结果发生的概率.

参考文献:

- [1] 俞帆, 张伟欣. FPGA 设计中的跨时钟域问题[J]. 现代电子技术, 2014, 37(7): 151-153. DOI: 10.3969/j.issn.1004-373X.2014.07.044.
- [2] YU F, ZHANG W X. Problem of clock domain crossing in FPGA design[J]. Modern Electronics Technique, 2014, 37(7): 151-153. DOI: 10.3969/j.issn.1004-373X.2014.07.044.
- [3] 姜群兴, 朱怀宇. FPGA 亚稳态处理方法研究[J]. 工业控制计算机, 2020, 33(2): 33-35.
- [4] JIANG Q X, ZHU H Y. Research on FPGA metastable processing method[J]. Industrial Control Computer, 2020, 33(2): 33-35.
- [5] ARORA M. The art of hardware architecture: design methods and techniques for digital circuits[M]. New

- York; Springer, 2011: 1-10. DOI: 10.1007/978-1-4614-0397-5.
- [4] 黄隶凡, 郑学仁. FPGA 设计中的亚稳态研究[J]. 微电子学, 2011, 41(2): 265-268.
HUANG L F, ZHENG X R. Study on metastability in FPGA design[J]. Microelectronics, 2011, 41(2): 265-268.
- [5] Altera Corporation. Metastability in Altera devices [R]. UK: Altera Corporation, 1998.
- [6] 金大超, 冷建伟. 异步时钟域信号同步的实现[J]. 天津理工大学学报, 2017, 33(3): 40-44. DOI: 10.3969/j.issn.1673-095X.2017.003.009.
JIN D C, LENG J W. Implementation of asynchronous clock domain signal synchronization[J]. Journal of Tianjin University of Technology, 2017, 33(3): 40-44. DOI: 10.3969/j.issn.1673-095X.2017.003.009.
- [7] 肖军. 探讨 FPGA 设计中的关键问题[J]. 通信电源技术, 2017, 34(1): 80-81. DOI: 10.19399/j.cnki.tpt.2017.01.030.
XIAO J. Discussion on the key problems in FPGA design[J]. Telecom Power Technology, 2017, 34(1): 80-81. DOI: 10.19399/j.cnki.tpt.2017.01.030.
- [8] 田毅, 范毓洋, 李哲玮, 等. 基于 FPGA 的亚稳态参数测量方法[J]. 微电子学与计算机, 2016, 33(10): 46-49. DOI: 10.19304/j.cnki.issn1000-7180.2016.10.010.
TIAN Y, FAN Y Y, LI Z W, et al. Metastable parameter measurement method based on FPGA[J]. Microelectronics & Computer, 2016, 33(10): 46-49. DOI: 10.19304/j.cnki.issn1000-7180.2016.10.010.
- [9] 黄忠朝, 赵于前. 一种实现高速异步 FIFO 的 FPGA 方法[J]. 计算机工程与应用, 2010, 46(3): 13-15. DOI: 10.3778/j.issn.1002-8331.2010.03.004.
HUANG Z C, ZHAO Y Q. Implementation method of high-speed asynchronous FIFO using FPGA[J]. Computer Engineering and Applications, 2010, 46(3): 13-15. DOI: 10.3778/j.issn.1002-8331.2010.03.004.
- [10] 汪路元. FPGA 设计中的亚稳态及其缓解措施[J]. 电子技术应用, 2012, 38(8): 13-15. DOI: 10.3969/j.issn.0258-7998.2012.08.004.
WANG L Y. Metastable state and mitigation measures in FPGA design[J]. Application of Electronic Technique, 2012, 38(8): 13-15. DOI: 10.3969/j.issn.0258-7998.2012.08.004.
- [11] 徐翼, 郑建宏. 异步时钟域的亚稳态问题和同步器[J]. 微计算机信息, 2008, 24(5): 271-272. DOI: 10.3969/j.issn.1008-0570.2008.05.111.
XU Y, ZHENG J H. Metastability in the asynchronous clocks and Synchronizer[J]. Microcomputer information, 2008, 24(5): 271-272. DOI: 10.3969/j.issn.1008-0570.2008.05.111.
- [12] 于海, 樊晓桢. 基于 FPGA 异步 FIFO 的研究与实现[J]. 微电子学与计算机, 2007, 24(3): 210-213. DOI: 10.3969/j.issn.1000-7180.2007.03.059.
YU H, FAN X Y. Research and implementation of asynchronous FIFO based on FPGA[J]. Microelectronics & Computer, 2007, 24(3): 210-213. DOI: 10.3969/j.issn.1000-7180.2007.03.059.
- [13] 蒲石. 异步多时钟域系统的同步设计研究[D]. 西安: 西安电子科技大学, 2007.
PU S. The study of synchronizer design in asynchronous clock domain system[D]. Xi'an: Xidian University, 2007.
- [14] 黄凡. 一种基于 FPGA 的异步 FIFO 设计方法[J]. 微处理机, 2017, 38(1): 23-26. DOI: 10.3969/j.issn.1002-2279.2017.01.007.
HUANG F. Design of asynchronous FIFO based on FPGA[J]. Microprocessors, 2017, 38(1): 23-26. DOI: 10.3969/j.issn.1002-2279.2017.01.007.

作者简介:

王郑毅 男, (1997-), 硕士研究生. 研究方向为高速数据传输与 FPGA. E-mail: www.ml3685111061@126.com.

刘文波 女, (1968-), 教授. 研究方向为信号处理、非线性系统分析、计算机测控技术.

代少飞 男, (1995-), 硕士研究生. 研究方向为信号处理.

李开宇 男, (1969-), 副教授. 研究方向为计算机测控技术、数字图像处理、传感器技术.

朱鹏飞 男, (1997-), 硕士研究生. 研究方向为图像处理.